Teoria układów cyfrowych
Zadania. Zestaw nr 3

IV. Minimalizacja Cd

5. zminimalizuj metodą siatek Karnaugha podane funkcje boolowskie czterech zmiennych

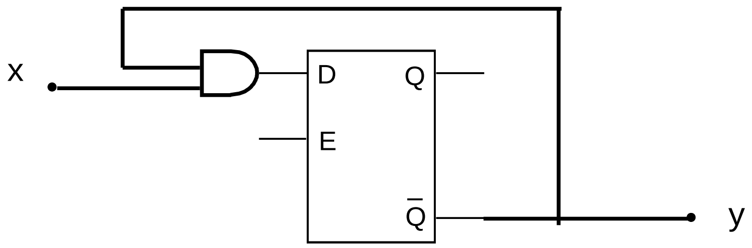
$$a)\quad y=\prod(0,1,3,7,11,15)_{x_1x_2x_3x_4}+\prod_{\Phi}(2,5,8)_{x_1x_2x_3x_4}$$
$$b)\quad y=\prod(5,7,11,12,14)_{x_1x_2x_3x_4}+\prod_{\Phi}(9,10,13,15)_{x_1x_2x_3x_4}$$
$$c)\quad y=\prod(0,1,3,13)_{x_1x_2x_3x_4}+\prod_{\Phi}(4,5,6,7,12,14,15)_{x_1x_2x_3x_4}$$

6. zminimalizuj metodą siatek Karnaugha podane funkcje boolowskie

$$a)\quad y=\sum(0,2,6,14,17,21,32,49,53)_{x_1x_2x_3x_4x_5x_6}$$
$$b)\quad y=\sum(3,10,12,17,22,31)_{x_1x_2x_3x_4x_5}$$
$$c)\quad y=\sum(2,8,9,10,13,15,16,18,19,23)_{x_1x_2x_3x_4x_5}+\sum(3,11,17,22)\ _{x_1x_2x_3x_4x_5}$$
$$d)\quad y=\sum(0,1,4,5,26,27,30,31)_{x_1x_2x_3x_4x_5}+\sum_{\Phi}(10,11,14,15)_{x_1x_2x_3x_4x_5}$$

V. Automaty sekwencyjne

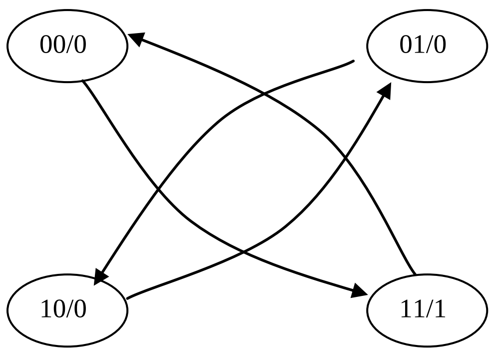
5. Zanalizować działanie układu z rysunku poniżej. Sporządzić na podstawie analizy graf przejść dla automatu Moore'a opisujący działanie układu z rysunku zamieszczonego poniżej. Poszczególne chwile czasu wyznacza przebieg zegarowy na wejściu E przerzutnika



6. Na wejściu pewnego układu synchronicznego opisanego funkcją przejść i wyjść zgodnie z tabelą poniżej pojawił się ciąg 01110. Stanem początkowym jest stan S1. Jaka jest odpowiedź układu? (czyli ciąg wyjściowy)

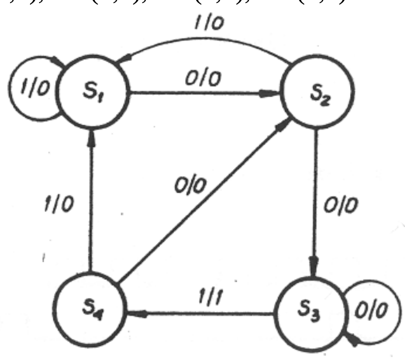
S \ X	0	1	y
S1	S1	S2	0
S2	S1	S2	1

7. Korzystając ze znajomości zasad działania przerzutników i bramek narysuj schemat logiczny automatu realizującego algorytm dany grafem

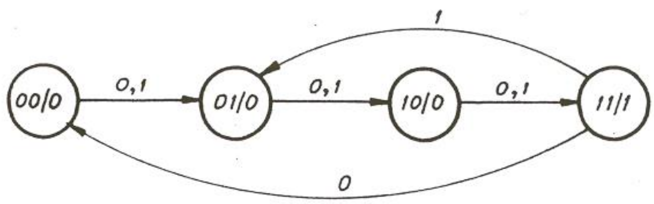


8. Narysuj graf przejść dla synchronicznego przerzutnika
   a) Typu JK
   b) Typu D

9. Na wejście układu synchronicznego podawane są ciągi czterobitowe reprezentujące liczby binarne. Bity pojawiają się w kolejności od najmłodszego. Zaprojektuj układ, który sygnalizuje jedynką, że wartość liczby na wejściu jest większa niż dziesięć.
10. zaprojektować układ dany grafem przejść o niezakodowanych stanach dla różnych wariantów kodowania
    a) s1=(0,0), s2=(0,1), s3=(1,0), s4=(1,1)
    b) s1=(0,1), s2=(1,0), s3=(1,1), s4=(0,0)



11. zaprojektować układ synchroniczny opisany grafem przejść (poniżej) o zakodowanych stanach. Zastosować wyłącznie bramki NAND i przerzutniki D albo JK.



VI. Bloki funkcjonalne

1. Zbudować, wykorzystując multiplekser 16-wejściowy, (4 wejścia adresowe) układ realizujący następującą funkcję przełączającą:

$$y = \sum(1,7,11,13,14,15)_{x_1 x_2 x_3 x_4}$$

2. Wykorzystując wyłącznie multipleksery 2-wejściowe i stałe 0 oraz 1, podaj minimalne realizacje funkcji NOT oraz 2-wejściowych funkcji AND, NAND, OR, NOR, XOR

3. Zbudować, wykorzystując demultiplekser 16-wyjściowy, (4 wejścia adresowe) oraz bramki takie jakie będą potrzebne układ realizujący funkcję przełączającą identyczna jak w zadaniu 1.

4. Zbudować, wykorzystując multiplekser 8-wejściowy (3 wejścia adresowe) i bramki, układ realizujący następującą funkcję przełączającą:

$$y = (a \oplus b)(b \oplus c) + ad$$

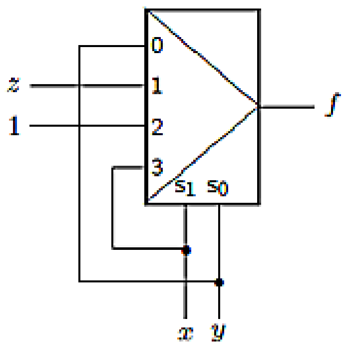
5. Zbudować, wykorzystując multiplekser 8-wejściowy (3 wejścia adresowe) i bramki, układ realizujący następującą funkcję przełączającą:

$$y = x_1 \overline{x_2} x_5 + \overline{x_1}\,\overline{x_4} x_5 + x_2 \overline{x_1} x_3 + x_2 \overline{x_1} x_4 \overline{x_5}$$

6. Podaj realizację funkcji $f(x, y, z) = x\overline{y} + yz$ wykorzystując multiplekser 4-wejściowy (tj. 4 × 1)

7. Zrealizuj funkcję logiczną f(a, b, c, d) = Σ(0, 1, 3, 4, 8, 9, 15), wykorzystując multiplekser 8-wejściowy (tj. układ z 3 wejściami sterującymi).

8. Jaką funkcję realizuje układ pokazany na rysunku poniżej?



Wskazówka do zadań.

Należy skorzystać z rozkładu Shannona dowolnej funkcji boolowskiej:

$$f(x_1, x_2, ..., x_i, ..., x_n) = x_i \cdot f(x_1, x_2, ..., x_{i-1}, 1, x_{i+1} ..., x_n) + \overline{x_i} \cdot f(x_1, x_2, ..., x_{i-1}, 0, x_{i+1} ..., x_n)$$

Powiedzmy, że mamy zrealizować funkcję

$$y = \sum(3,5,7,8,11,12,13,15)_{x_1x_2x_3x_4}$$

Po minimalizacji mamy

$$y = x_1 \overline{x_3}\,\overline{x_4} + x_2 \overline{x_3} x_4 + x_3 x_4$$

Zatem funkcja przyjmuje wartość 1 dla wektorów wejściowych

x_1	x_2	x_3	x_4
1	-	0	0
-	1	0	1
-	-	1	1

dla multipleksera 8-wejściowego przyjmując (możemy dowolnie) jako wejścia adresowe x_1, x_2 i x_3 (od najstarszego do najmłodszego)

x_1	x_2	x_3	x_4
1	-	0	0
-	1	0	1
-	-	1	1

będziemy mieli dla poszczególnych wejść

$d_0 = 0$

$d_1 = x_4$

$d_2 = x_4$

$d_3 = x_4$

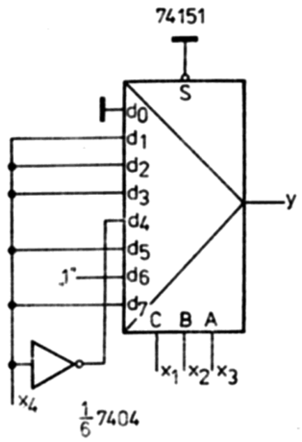
$d_4 = \bar{x}_4$

$d_5 = x_4$

$d_6 = x_4 + \bar{x}_4 = 1$

$d_7 = x_4$

Co prowadzi do następującego schematu



Dla multipleksera 4-wejściowego przyjmując (możemy dowolnie) jako wejścia adresowe x_3 i x4 (od najstarszego do najmłodszego)

x_1	x_2	x_3	x_4
1	-	0	0
-	1	0	1
-	-	1	1

będziemy mieli dla poszczególnych wejść

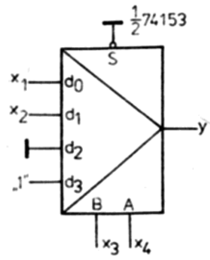
$d_0 = x_1$

$d_1 = x_2$

$d_2 = 0$

$d_3 = 1$

Co prowadzi do następującego schematu



Zauważmy, że funkcję zapisać można (korzystając ze wspomnianego wyżej rozkładu Shannona) jako $y = \bar{x}_3\bar{x}_4 \cdot x_1 + \bar{x}_3 x_4 \cdot x_2 + x_3\bar{x}_4 \cdot 0 + x_3 x_4 \cdot 1$. Analiza tego zapisu daje identyczny schemat.