

Opis przedmiotu

1. **Nazwa przedmiotu:** Architektura komputerów

2. **Kod przedmiotu:** 11.3 INF.ARK.03

3. **Język wykładowy:** polski

4. **Kierunek:** Informatyka

5. **Specjalność:** -

6. **Rok:** II **Semestr:** 3

7. **Tytuł/stopień oraz imię i nazwisko prowadzącego przedmiot:**

Dr inż. Janusz Dudziak

8. **Tytuły/stopnie oraz imiona i nazwiska pozostałych członków zespołu:**

.....

9. **Formy zajęć wchodzące w skład przedmiotu, wymiar godzinowy, forma zaliczenia:**

Forma zajęć	Wykład	Ćwiczenia/ Ćwiczenia tablicowe	Laboratorium/ Ćwiczenia praktyczne	Projekt	Seminarium
Liczba godzin w semestrze	30		15		
Forma zaliczenia	egzamin testowy		Ocena sumaryczna z ćwiczeń		

10. **Liczba punktów ECTS:** 5

11. **Poziom :** podstawowy

12. **Wymagania wstępne:**

Wiadomości z logiki, teorii układów cyfrowych i podstaw programowania.

13. **Cele kształcenia:**

Celem zajęć jest zapoznanie studentów ze strukturą i budową współczesnych procesorów i komputerów. Zajęcia obejmują niezbędne podstawy teoretyczne, budowę jednostki wykonawczej, model i implementację mechanizmów systemowych oraz podstawowe informacje o organizacji wewnętrznej, strukturze, sterowaniu, przesyłaniu, organizacji pamięci i współpracy z urządzeniami zewnętrznymi.

14. **Opis treści kształcenia w ramach poszczególnych form zajęć:**

14.1. **Wykład:**

- Wprowadzenie — pojęcie komputera, taksonomie architektur komputerowych, pojęcie hierarchii pamięci. Maszyna von Neumanna, architektury Harvard, Princeton,

Harvard-Princeton.

- Dane — typy, reprezentacje, reprezentacje liczb, realizacja operacji arytmetycznych. Konwencje Big-Endian i Little-Endian.
- Sterowanie - rejestry, tryby adresowania, model operacji warunkowych, lista instrukcji. Konstrukcja modelu programowego w podejściu CISC i RISC.
- Przykłady modeli programowych RISC (MIPS) i CISC (x86). Jednostki zmiennopozycyjne i wektorowe.
- Cykl rozkazowy jednostki wykonawczej. Przetwarzanie sekwencyjne i potokowe
- Struktura potoku. Problemy synchronizacji i opóźnienia w prostym potoku. Superpotok. Metody redukcji opóźnień w procesorach superpotokowych i superskalarnych. Przewidywanie skoków. Sposoby redukcji opóźnienia danych
- Jednostki wielopotokowe (superskalarne) — zasady działania, hazardy i opóźnienia.
- hierarchii pamięci . Cache. Organizacja i zasady działania.
- Wymagania wieloprotocowego systemu operacyjnego. Zasady ochrony zasobów komputera. Funkcje systemu zarządzania pamięcią.
- Implementacja zarządzania pamięcią — prosta relokacja, segmentacja, stronicowanie. Podstawy realizacji systemu pamięci wirtualnej. Optymalizacja stronicowania.
- Przerwania i wyjątki — definicja, klasyfikacja. Obsługa.
- Podstawy organizacji wejścia-wyjścia. Obsługa urządzeń zewnętrznych przy użyciu aktywnego oczekiwania, przerwań i DMA.
- Struktura komputera jednoprotocowego i jej ewolucja

14.2. Ćwiczenia/Ćwiczenia tablicowe:

--

14.3. Laboratorium/ Ćwiczenia praktyczne:

ćwiczenia realizowane na zestawie uruchomieniowym mikrokontrolera 8051 mają zapoznać z organizacją mikroprocesora, listą rozkazów, trybami adresacji, systemem przerwań, metodami dostępu do pamięci i tp.

15. Literatura podstawowa:

1. B. S. Chalk Organizacja i architektura komputerów WNT 1998
2. W. Stallings Organizacja i architektura systemu komputerowego WNT 2003
3. Janusz Biernat Architektura komputerów Politechnika Wrocławska 2001
4. Andrzej Skorupski Podstawy budowy i działania komputerów WKŁ 2000

16. Literatura towarzysząca:

1. Gałka P., Gałka P Podstawy programowania mikrokontrolera 8051, MIKOM 2002
2. Starecki T. Mikrokontrolery 8051, Wydawnictwo BTC 2002